

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-321586

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	H
21/822			27/06	1 0 2 H
21/8234				
27/06				

審査請求 未請求 請求項の数8 F D (全 6 頁)

(21) 出願番号 特願平8-108687

(22) 出願日 平成8年(1996)4月5日

(31) 優先権主張番号 9 5 1 0 5 2 1 2 . 5

(32) 優先日 1995年4月6日

(33) 優先権主張国 オーストリア (A T)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト
 SIEMENS AKTIENGESEL
 LSCHAFT
 ドイツ連邦共和国 ベルリン 及び ミュ
 ンヘン (番地なし)

(72) 発明者 ウォルフガング ニクツタ

ドイツ連邦共和国 81541 ミュンヘン
 ウェリナーハーシュトラッセ 101

(72) 発明者 ウエルナー レクツェク

ドイツ連邦共和国 85521 オットーブル
 ン プツブルンナーシュトラッセ 78

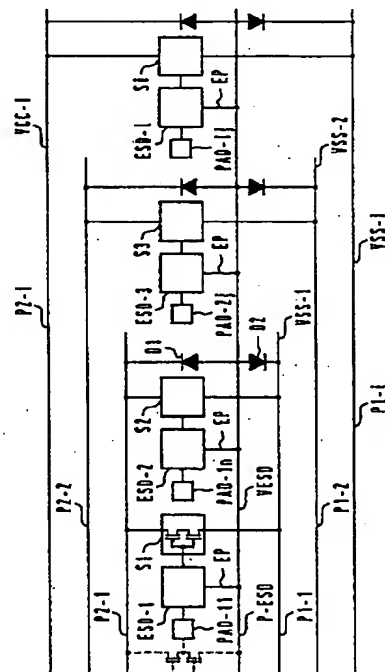
(74) 代理人 弁理士 富村 潔

(54) 【発明の名称】 集積半導体回路

(57) 【要約】

【課題】 公知の集積半導体回路を、E S D保護のより高度の要求に適合し、また特にE S D保護回路の占有場所を拡大することなしに交叉点を経てのE S D負荷が避けられ得るように改良する。

【解決手段】 半導体基板S u bを有する集積半導体回路において、保護回路E S D - i が過電圧を導き出す役割をする放電経路E Pを有し、この放電経路が作動中に回路部分S iのすべての接続個所P A D - i jに対して共通の基準電位V E S Dを導く集合電位母線P - E S Dと結ばれている。



1

【特許請求の範囲】

【請求項 1】 作動中に半導体回路の第 1 の供給電位 (VSS - i) を導く複数の第 1 の電位母線 (P1 - i) と、

作動中に半導体回路の第 2 の供給電位 (VCC - i) を導く複数の第 2 の電位母線 (P2 - i) と、
半導体基板 (Sub) 上に構成されており、電圧を供給するためにそれぞれ第 1 の電位母線の 1 つと第 2 の電位母線の 1 つとの間に接続されている複数の回路部分

(Si) と、

半導体基板 (Sub) 上に構成されており、また各回路部分 (Si) に対応付けられており、回路部分 (Si) の作動中にそのつどの回路部分 (Si) に対する入力または出力信号を与えられている接続箇所 (PAD - ij) と、

回路部分 (Si) に対応付けられており、また半導体基板 (Sub) 上に構成されており、入力側でそのつどの回路部分の付設の接続箇所 (PAD - ij) と、また出力側でそのつどの回路部分と接続されている過電圧保護回路 (ESD - i) とを有する集積半導体回路において、

保護回路 (ESD - i) が過電圧を導き出す役割をする放電経路 (EP) を有し、この放電経路が作動中に回路部分 (Si) のすべての接続箇所 (PAD - ij) に対して共通の基準電位 (VESD) を導く集合電位母線 (P - ESD) と結ばれていることを特徴とする集積半導体回路。

【請求項 2】 集合電位母線 (P - ESD) が、半導体基板 (Sub) 上にいずれにしても形成される共通の電位母線であり、この電位母線が半導体回路の作動中にすべての回路部分に対して共通の電位 (VBB) を導くことを特徴とする請求項 1 記載の集積半導体回路。

【請求項 3】 集合電位母線 (P - ESD) が半導体回路の基板電圧 (VBB) に対する電位リングであることを特徴とする請求項 1 または 2 記載の集積半導体回路。

【請求項 4】 集合電位母線 (P - ESD) が 2 つの逆並列接続されているダイオード装置 (D1、D2) の少なくとも 1 つの対を介して相応の回路部分 (Si) のそのつどの第 1 の電位母線 (P1 - i) およびそのつどの第 2 の電位母線 (P2 - i) と接続されていることを特徴とする請求項 1 ないし 3 の 1 つに記載の集積半導体回路。

【請求項 5】 保護回路 (ESD - i) が半導体基板 (Sub) 内に構成された電界酸化物トランジスタ (FOX) を有し、そのゲートが付設の接続箇所 (PAD - ij) と結ばれた導線 (LI) と接続されていることを特徴とする請求項 1 ないし 4 の 1 つに記載の集積半導体回路。

【請求項 6】 半導体基板 (Sub) 内に構成された電界酸化物トランジスタ (FOX) の後に電界制御される

2

ダイオード (ZVT) が接続されており、その一方の端子が付設の接続箇所 (PAD - ij) と結ばれた導線 (LI) と、またその他方の端子が付設の第 1 の電位母線 (P1 - i) と接続されていることを特徴とする請求項 5 記載の集積半導体回路。

【請求項 7】 電界制御されるダイオード (ZVT) が 0 ボルトトランジスタとして構成されていることを特徴とする請求項 6 記載の集積半導体回路。

【請求項 8】 付設の接続箇所 (PAD - ij) と結ばれた導線 (LI) と接続されている電界制御されるダイオード (ZVT) の端子と電界制御されるダイオード (ZVT) との間に拡散抵抗 (Rdif) が接続されていることを特徴とする請求項 5 ないし 7 の 1 つに記載の集積半導体回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板を有する集積半導体回路であって、作動中に半導体回路の第 1 の供給電位を導く複数の第 1 の電位母線と、作動中に半導体回路の第 2 の供給電位を導く複数の第 2 の電位母線と、半導体基板上に構成され電圧を供給するためにそれぞれ第 1 の電位母線の 1 つと第 2 の電位母線の 1 つとの間に接続されている複数の回路部分と、半導体基板上に構成されまた各回路部分に対応付けられ回路部分の作動中にそのつどの回路部分に対する入力または出力信号を与えられている接続箇所と、回路部分に対応付けられまた半導体基板上に構成され入力側でそのつどの回路部分の付設の接続箇所とまた出力側でそのつどの回路部分と接続されている過電圧保護回路とを有する集積半導体回路に関する。

【0002】

【従来の技術】このような集積半導体回路はたとえばヨーロッパ特許出願公開第 0623958 号明細書から公知である。集積半導体回路、特に MOS 集積半導体回路は周知のように、その接続箇所 (半導体チップにおける PAD、半導体回路ケーシングにおける PIN) に作用する静電放電 (ESD) に対して敏感である。公知の集積半導体回路は ESD 損傷を防止するため、過電圧を導き出すために半導体基板上に構成された保護回路を有する。これらの保護回路はそれぞれ接続箇所 (PAD) と相応の接続箇所に対応付けられている回路部分との間に配置されており、また第 1 の供給電位 VSS (一般に接地と呼ばれる) もしくは稀ではあるが第 2 の供給電位 VCC と接続されている。レイアウトの理由から、すなわち制限されている占有場所の理由から、このような ESD 保護回路は付設の回路部分のすぐ付近のそのつどの局所的な供給電位、通常は局所的な第 1 の供給電位 VSS にのみ接続されている。

【0003】図 1 は多重の供給電圧接続箇所における ESD 保護回路を有する集積半導体回路の公知の配置の概

3

要を示す。モジュール内で互いに絶縁されており作動中に半導体回路の第1の供給電位VSS-1、VSS-2、…、VSS-iを導く複数の第1の電位母線P1-1、P1-2、…、P1-iと、同じくモジュール内で互いに絶縁されており作動中に半導体回路の第2の供給電位VCC-1、VCC-2、…、VCC-iを導く複数の第1の電位母線P2-1、P2-2、…、P2-iとが設けられている。供給電圧に対する電位母線が内部で隔離されている理由は、I/Oドライバーからの電流ピークによる入力バッファの擾乱のようなノイズ源が脱結合されていることにある。さらに、半導体基板上に構成され電圧供給のためにそれぞれ第1の電位母線の1つと第2の電位母線の1つとの間に接続されている複数の回路部分S1、S2、S3、…、Siが設けられている。ESD負荷に基づく過電圧に対して回路部分Siを保護するため、それぞれ導通経路中に配置されまた付設の局所的な第1の電位母線P1-1、P1-2、…、P1-iと結ばれている保護回路ESD-1、ESD-2、ESD-3、…、ESD-iが設けられている。

【0004】以下に本明細書中のインデックスの使用について説明する。インデックスiは集積半導体回路の電圧供給の数を示す。たとえば256K×16DRAMは3つの隔離された電圧供給(i=3)、すなわち一般にモジュール内で互いに絶縁されている3つのVCCピンおよび3つのVSSピンを有する。PAD-kjは電圧供給k(1≤k≤i)における通し番号jを有する接続個所またはパッドを意味する。こうしてたとえばPAD-37は、その保護構造が電圧供給VSS-3および/またはVCC-3に接続されている通し番号7を有する接続個所(PAD)を示す。

【0005】多くの電圧供給を有する公知の集積半導体回路では、特にMIL標準に従って特徴付けられ得る2つの形式の臨界的なESD負荷の事例が存在する。

【0006】第1の形式は電圧供給に対するPADのESD負荷の場合に関する。i≠kの場合には電圧供給VCC-iまたはVSS-iに対する接続個所PAD-kjのESD負荷が存在する。このことは、PAD-kjにおける局所的なESD保護構造がVCC-iまたはVSS-iに接続されておらず、またこうして電氣的に有効であり得ないことを意味する。従って、この場合にはESD放電は他の能動的構造(ゲート酸化物、PNダイオード)を通して行われ、これらがその際に損傷を受けるおそれがある。局所的な電圧供給VCC-iまたはVSS-iに対する接続個所PAD-ijのi=kの場合に存在するESD負荷は非臨界的である。なぜならば、放電経路内のESD保護構造が能動的であるからである。

【0007】臨界的なESD負荷の事例の第2の形式はPADに対するESD負荷PADに関する。i=kの場

4

合にはPAD-km(共通のVCC-kまたはVSS-k母線に対する接続個所)に対するPAD-kjの負荷が存在する。この場合、公知の集積半導体回路ではESD放電が経路PAD-kj—ESD—VCC-kまたはVSS-k—ESD—PAD-kmを経て行われる。すなわちその際に両ESD保護構造が直列に接続されている。i≠kの場合にはPAD-km(相異なるVCCまたはVSS母線における接続個所またはPAD)に対するPAD-ijのESD負荷が存在する。このことは公知の集積半導体回路に対して、PAD-ijおよびPAD-kmにおける局所的なESD保護構造が放電経路内に位置しておらず、従って有効でないことを意味する。従って、ESD放電は再び他の能動的構造(ゲート酸化物、PNダイオード)を通して行われ、これらがそれによって損傷され得る。

【0008】公知のESD保護回路では集積半導体回路の多重の供給電圧接続の際に、特にESD負荷の際に接続個所(PAD)と局所的でない電圧供給との間に、たとえばPAD1-nとVSS-2との間に“交叉を経て”局所的ESD保護回路が放電経路内に配置されていないという欠点がある。その際に一般にESD保護電流は寄生的な基板ダイオード(基板への寄生的PNダイオードを有するPADにおける拡散領域)を経てESD放電電流が流れ、基板ダイオードがその際に熱的に損傷を受けるおそれがある。この際に考慮に入れるべきことは、集積半導体回路内の供給電位が低抵抗で接続されていない場合には、製品リリースの範囲内でESD負荷がMIL標準に従ってすべての供給ピン(VSSi、VCCi)に対して予め定められていることである。

【0009】ESD保護回路の実施例は、図2中に示されているように、下記のように構成されている。たとえば入力信号INを導く導線LIと第1の電位母線P1-iとの間に電界酸化物トランジスタFOXが配置されており、そのゲートは導線LIと接続されている。導線LIへの電界酸化物トランジスタFOXの接続点は符号xを付して示されている。導線LIのその後の延長線には、接続点xに続いて、拡散領域Rdiffが配置されており、その端またはその直後に電界制御されるダイオードZVTの一方の端子が位置している。電界制御されるダイオードZVTの他方の端子は同じく第1の電位母線P1-iと接続されている。電界制御されるダイオードZVTの一方の端子はその際に導線LIの別の点yを形成する。この際に、電界制御されるダイオードZVTはいわゆる0ボルト-トランジスタとして構成されていると仮定されている。電界制御されるダイオードZVTとして機能する図2による0ボルト-トランジスタでは電界制御を行うゲートは(そのソースと同じく)第1の電位母線P1-iと接続されている。ソース範囲Sの下側およびドレイン範囲Dの下側にそれぞれウェル状の範囲SウェルまたはDウェルが構成されている。これらのウェ

5

ル状の範囲Sウェル、Dウェルは、図3中に示されているように、互いに間隔をおいて配置されている。これらのウェルはそのつどのソースまたはドレイン範囲S、Dと同一の導電形である。

【0010】ESD保護回路ESD-iのその他の詳細、特徴および利点は本願の出願人と同一の出願譲受人により出願されたヨーロッパ特許出願公開第0623958A1号明細書に記載されており、その内容のすべてを参照によりここに組み入れるものとする。

【0011】

【発明が解決しようとする課題】この従来の技術から出発して、本発明の課題は、公知の集積半導体回路を、ESD保護のより高度の要求に適合し、また特にESD保護回路の占有場所を拡大することなしに交叉点を経てのESD負荷が避けられ得るように改良することである。

【0012】

【課題を解決するための手段】この課題は請求項1の特徴を有する集積半導体回路により解決される。本発明によれば、保護回路が過電圧を導き出す役割をする放電経路を有し、この放電経路が作動中に回路部分のすべての接続箇所に対して共通の基準電位を導く集合電位母線と結ばれている。本発明の原理に従って、ESD保護回路は回路部分の付設の接続箇所(PAD)とすべてのPADに対して共通の電位母線との間に接続されている。こうして、すべての考えられるESD負荷の場合が任意の供給電位に対して対称に配置されている。この際にESD放電電流はすべての場合に導通経路、共通の集合電位母線の保護構造-ダイオードを経て流れる。基板ダイオードのESD負荷はこのようにして、占有場所が大きくまた複雑な保護回路または保護構造を設ける必要なしに、有効に防止され得る。

【0013】集合電位母線は、半導体基板の上に完全に自立的に構成された導線であってよい。本発明の特に好ましい実施例では、集合電位母線は、半導体基板上にいずれにしても形成される共通の電位母線であり、この電位母線が半導体回路の作動中にすべての回路部分に対して共通の電位を導く。そのために適した共通の電位母線の選択はその際に、存在している基板構造および接続されるPINの電気的仕様に係る。この際選択される保護構造(ESD)は利用されるテクノロジーおよびチップ仕様に係る。CMOSプロセスでは電界酸化物トランジスタ、バイポーラトランジスタまたはバイポーラダイオードの使用が考えられる。保護構造の有効性は、ブレークダウン電圧が小さくなり、また電流負荷能力が高くなるほど高くなる。バイポーラダイオードとしては、場合によっては、一般に大きい面積部分を有する供給接続部に存在している寄生的PNダイオードで十分である。半導体装置として既に設計段階で計画されている追加的なPNダイオードは一般により高い負荷能力を有する。

6

【0014】特にCMOS形式のダイナミック半導体メモリデバイスに使用する際には、集合電位母線として半導体回路の基板電圧またはバルク電圧(VBB)に対する電位リングが選ばれると特に有利である。このことは追加的に、寄生的な基板ダイオードの保護構造が並列に接続され、また直接的に基板ブレークダウンを阻止するという利点を有する。保護構造はこの際にNPNバイポーラトランジスタであり、PNダイナミックはチップ-コンセプト中の構成要素として組み込まれている。

10 【0015】

【実施例】以下、図面に示されている実施例により本発明を一層詳細に説明する。

【0016】図2ないし図5は本発明の好ましい実施例を示す。半導体基板Subを有する集積半導体回路には、作動中に半導体回路の第1の供給電位VSS-1、VSS-2、…、VSS-iを導く複数個の第1の電位母線P1-1、P1-2、…、P1-iと、作動中に半導体回路の第2の供給電位VCC-1、VCC-2、…、VCC-iを導く複数個の第2の電位母線P2-1、P2-2、…、P2-iとが設けられている。さらに、半導体基板上に構成され電圧を供給するためにそれぞれ第1の電位母線の1つと第2の電位母線の1つとの間に接続されている複数個の回路部分S1、S2、S3、…、Siが設けられている。ESD負荷に基づく過電圧に対して回路部分Siを保護するため、それぞれ接続箇所PAD-11、PAD-1n、…、PAD-2j、PAD-ijと付設の回路部分との間の導通経路中に配置されている保護回路ESD-1、ESD-2、ESD-3、…、ESD-iが設けられている。各保護回路ESD-iは、過電圧を導き出す役割をする放電経路EPを有し、この放電経路は、作動中に回路部分Siのすべての接続箇所PAD-ijに対して共通の基準電位VESDを導く集合電位母線P-ESDと結ばれており、その際に、図示されている実施例では、集合電位母線P-ESDは、半導体基板(Sub)上にいずれにせよ形成された半導体回路の作動中にすべての回路部分に対して共通の電位VBBを導く共通の電位母線、詳しくは半導体回路の基板電圧VBBに対する電位リングである。P形式の半導体基板の場合には、基板またはバルク電圧はチップ内で最も負の電圧である。たとえば内部基板電圧の値はマイナス2.5Vである。

【0017】本発明によれば、冒頭に記載した両形式の臨界的なESD負荷の事例も避けられ得る。

【0018】PADから電圧供給への一方の形式のESD負荷の際には $i \neq k$ の場合に放電は常にPAD-kj-ESD-VSED-ダイオード-VCC-iまたはVSS-iの定められた経路を経て行われる。ESD放電電流は保護構造-VESD-ダイオードの経路を経て流れるので、基板ダイオード自体は負荷されない。 $i = k$ の場合には放電は同じくPAD-kj-ESD-VSE

7

D-ダイオード-VCC-i または VSS-i の定められた経路を経て、すなわち本発明による $i \neq k$ の場合に類似して行われる。

【0019】第2の形式の臨界的なESD負荷の際には、すなわちPADへのESD負荷PADの際には、放電は比較可能な仕方ではPAD-kj-ESD-VSED-ESD-PAD-kmの定められた経路を経て行われる。既知のESD保護構造において過電圧に対して保護されていない $i \neq k$ の場合には、本発明により放電は同じくPAD-i j-ESD-VSED-ESD-PAD 10 -kmの定められた経路を経て行われる。

【0020】図5中で“A”を付されている構成部分は、そのつどの接続箇所(Pad)に接続された局所的電位母線VSS-iと接続されているそれぞれいわゆるパンチスルー装置を個別に示し、また“B”を付されている構成部分は、そのつどの接続箇所(Pad)に接続された共通電位母線VBBと接続されているNPNバイポーラトランジスタを個別に示す。さらに、オプションにより構成部分“B”の少なくともいくつかは図5から明らかなようにVSS-iまたはVDD-iとVBB 20 との間に接続されていてもよく、この場合にはESD負荷に関する完全な対称性がVCC-i-VCC-k、VSS-i-VSS-kおよび/またはVCC-i-VSS-kに関しても生ずる。

【0021】ダイオードD1、D2はNPバイポーラダイオードであり、また図5に示すようにそのつどの局所的電位母線VSS-iまたはVDD-iおよび共通の電位母線VBBに接続されている。

【0022】こうして本発明による集積半導体回路では*

8

*すべてのESD負荷の事例が任意の供給電位に対して対称であり、従って特に交叉点を経てのESD負荷も有効に避けられ得る。

【図面の簡単な説明】

【図1】公知の集積半導体回路におけるESD保護回路の配置概要図。

【図2】ESD保護回路の配置概要図。

【図3】回路部分を有する集積半導体回路および回路部分に対応付けられているESD保護回路の部分断面図。

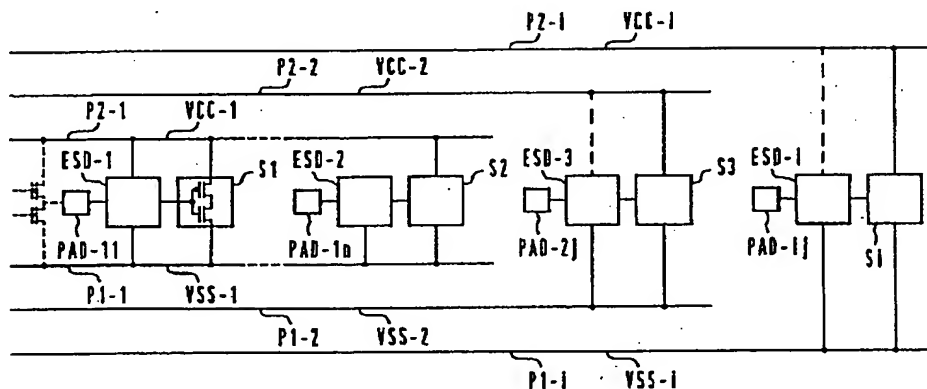
【図4】多重の供給電圧接続の際の本発明による集積半導体回路の配置概要図。

【図5】本発明による集積半導体回路の配置概要平面図。

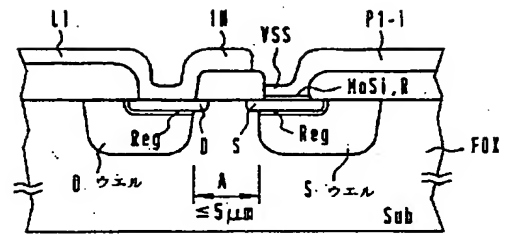
【符号の説明】

EP 放電経路
ESD-i 保護回路
FOX 電界酸化物トランジスタ
P-ESD 集合電位母線
P1-i 第1の電位母線
P2-i 第2の電位母線
PAD-i j 接続箇所
Sub 半導体基板
Si 回路部分
VBB 基板電圧
VESD 基準電位
VCC-i 第2の供給電位
VSS-i 第1の供給電位
ZVT 電界制御されるダイオード

【図1】



【図 3】



The diagram illustrates a semiconductor device layout with four main horizontal power rails: P2-1 (top), P2-2, P1-1, and P1-2 (bottom). The device is divided into four main functional blocks, each containing a series of components connected between P2-1 and P1-1:

- Block 1 (Leftmost):** Contains components ESD-1, PAD-11, EP, S1, and S2. It is connected to P2-1 and P2-2.
- Block 2:** Contains components ESD-2, PAD-1n, EP, S2, and S3. It is connected to P2-1 and P2-2.
- Block 3:** Contains components ESD-3, PAD-2j, EP, S3, and S4. It is connected to P2-1 and P2-2.
- Block 4 (Rightmost):** Contains components ESD-4, PAD-1j, EP, S4, and S5. It is connected to P2-1 and P2-2.

Diodes D1 and D2 are connected between P2-2 and P1-1. Diodes D3 and D4 are connected between P2-2 and P1-2. The diagram also shows connections to VCC-1 and VSS-1/VSS-2.

The schematic diagram illustrates a VBB-Ring circuit. At the top, two inset diagrams define the components: Buffer A is a PMOS transistor with its source to VSS and gate to VBB; Buffer B is an NMOS transistor with its source to VBB and gate to VBB. The main circuit is a rectangular loop. The left vertical branch contains diodes D2 (top) and D1 (bottom). The top horizontal branch contains PAD-11, which includes a Pad and two buffers A and B. The right vertical branch contains diodes D1 (top) and D2 (bottom). The bottom horizontal branch contains PAD-12 and PAD-13, each with a Pad and two buffers A and B. Power supply rails VSS1, VSS2, and VSS3 are shown on the right, and a VBB-Ring is indicated at the bottom. Various other labels like VDD1, VDD2, and VDD3 are present near the pads.